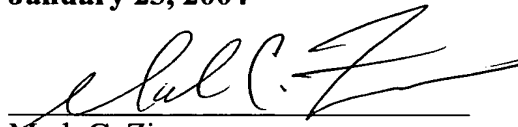




PATENT
Docket No. 20067/OPP031484US

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Kwan-Ju KOH)	I hereby certify that the documents
Serial No.: 10/749,608)	referred to as enclosed herewith are
Filed: December 30, 2003)	being deposited with the United States
For: "Methods of Fabricating Non-)	Postal Service, first class postage
Volatile Memory Devices")	prepaid, in an envelope addressed to
Group Art Unit: Unknown)	the Commissioner for Patents, P.O.
Examiner: Not Yet Assigned)	Box 1450, Alexandria, Virginia
)	22313-1450 on this date:
)	January 23, 2004
)	
)	Mark C. Zimmerman
)	Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2003-0006416 filed January 30, 2003, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


Mark C. Zimmerman
Registration No.: 44,006

January 23, 2004



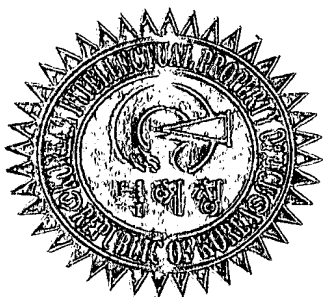
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0006416
Application Number

출원 년 월 일 : 2003년 01월 30일
Date of Application JAN 30, 2003

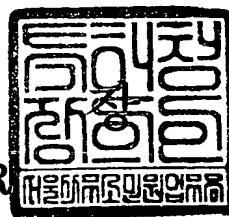
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 11 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0019
【제출일자】	2003.01.30
【발명의 명칭】	비휘발성 메모리 장치 제조 방법
【발명의 영문명칭】	Fabrication method of Non-volatile memory device
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	고관주
【성명의 영문표기】	KOH, KWAN JU
【주민등록번호】	691123-1622428
【우편번호】	420-729
【주소】	경기도 부천시 원미구 중4동 금강마을 407동 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	298,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

SONOS 구조의 비휘발성 메모리 장치 및 그 제조 방법에 관한 것으로, 그 목적은 사진식각공정의 횟수를 대폭 줄여 간단하고도 저렴한 방법으로 SONOS 구조의 비휘발성 메모리 장치를 제조하는 것이다. 이를 위해 본 발명에서는, 반도체 기판 상에 희생산화막을 형성하고 희생산화막을 선택적으로 식각하여 소정폭의 반도체 기판을 노출시키는 단계; 노출된 반도체 기판 내로 제1도전형의 불순물 이온을 주입하여 제1반도체 영역을 형성하는 단계; 반도체 기판의 상부 전면에 추가산화막 및 질화막을 차례로 형성하는 단계; 질화막, 추가산화막, 및 희생산화막을 선택적으로 식각하여 소정폭의 반도체 기판을 노출시키는 게이트구를 형성하는 단계; 반도체 기판의 상부 전면에 게이트산화막을 형성하고, 게이트산화막 상에 다결정실리콘층을 형성하여 게이트구를 매립하는 단계; 희생산화막이 노출될 때까지 화학기계적 연마하는 단계; 희생산화막과, 다결정실리콘층의 측벽 상에 형성된 게이트산화막, 질화막 및 추가산화막을 제거하는 단계; 다결정실리콘층 외방의 반도체 기판 내에 제2도전형의 불순물 이온을 주입하여 소스 및 드레인 영역을 형성하는 단계를 포함하여 SONOS 구조의 비휘발성 메모리 장치를 제조한다.

【대표도】

도 2f

【색인어】

비휘발성 메모리, SONOS, 다마신

【명세서】**【발명의 명칭】**

비휘발성 메모리 장치 제조 방법 {Fabrication method of Non-volatile memory device}

【도면의 간단한 설명】

도 1은 종래 비휘발성 메모리 장치를 도시한 단면도이다.

도 2a 내지 도 2f는 본 발명에 따른 비휘발성 메모리 장치의 제조 방법을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자에 관한 것으로, 더욱 상세하게는 비휘발성 메모리 장치를 제조하는 방법에 관한 것이다.
- <4> 일반적으로 반도체 메모리 장치는 크게 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분된다. 휘발성 메모리 장치는 디램(DRAM : dynamic random access memory), 에스램(SRAM : static random access memory) 등의 램(RAM)이 대부분을 차지하고 있는 것으로서, 전원 인가시 데이터의 입력 및 보존이 가능하지만, 전원 제거시 데이터가 휘발되어버려 보존이 불가능한 특징을 가진다.
- <5> 반면에, 비휘발성 메모리 장치는 롬(ROM : read only memory)이 대부분을 차지하고 있는 것으로서, 전원이 인가되지 않아도 데이터가 보존되는 특징을 가진다.

- <6> 현재, 공정기술 측면에서 비휘발성 메모리 장치는 플로팅 게이트(floating gate) 계열과, 두 종류 이상의 유전막이 2층 또는 3층으로 적층된 엠아이에스(MIS : metal insulator semiconductor) 계열로 구분된다.
- <7> 플로팅 게이트 계열의 비휘발성 메모리 장치는 전위우물(potential well)을 이용하여 기억 특성을 구현하며, 현재 플래쉬 이이프로ム(EEPROM : electrically erasable programmable read only memory)으로 가장 널리 응용되고 있는 이티오엑스(ETOX : EPROM tunnel oxide) 구조가 대표적이다.
- <8> 반면에, MIS 계열의 비휘발성 메모리 장치는 유전막 벌크, 유전막과 유전막 사이의 계면, 그리고 유전막과 반도체 사이의 계면에 존재하는 트랩(trap)을 이용하여 기억 기능을 수행한다. 현재 EEPROM으로 주로 응용되고 있는 엠오엔오에스/에스오엔오에스(MONOS/SONOS : metal/silicon ONO semiconductor) 구조가 대표적이다.
- <9> 도 1은 종래 SONOS 구조의 비휘발성 메모리 장치를 도시한 단면도로서, 이에 도시된 바와 같이, 반도체 기판(1) 내에 인(P)을 주입하여 제1반도체영역(2)을 형성하고, 그 위에 산화막/질화막/산화막의 적층구조인 ONO층(3)을 형성한 후, ONO층(3) 위에 다결정 실리콘층(4)을 형성함으로써, 반도체/ONO/반도체 구조인 SONOS 구조를 완성하였다.
- <10> 이러한 종래 SONOS 구조의 비휘발성 메모리 장치 제조 방법에서는 필수적으로 여러 번의 사진식각공정을 수행하여야만 했으므로 공정이 복잡하고 제조가 많이 시간과 비용이 드는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <11> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 사진식각공정의 횟수를 대폭 줄여 간단하고도 저렴한 방법으로 SONOS 구조의 비휘발성 메모리 장치를 제조하는 것이다.

【발명의 구성 및 작용】

- <12> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 다마신 공정을 이용하여 게이트를 형성하고, 따라서 단 2회의 사진식각공정만을 수행하여 SONOS 구조의 비휘발성 메모리 장치를 제조하는 것을 특징으로 한다.
- <13> 즉, 본 발명에 따른 비휘발성 메모리 장치의 제조 방법은, 반도체 기판 상에 희생산화막을 형성하고 희생산화막을 선택적으로 식각하여 소정폭의 반도체 기판을 노출시키는 단계; 노출된 반도체 기판 내로 제1도전형의 불순물 이온을 주입하여 제1반도체 영역을 형성하는 단계; 반도체 기판의 상부 전면에 추가산화막 및 질화막을 차례로 형성하는 단계; 질화막, 추가산화막, 및 희생산화막을 선택적으로 식각하여 소정폭의 반도체 기판을 노출시키는 게이트구를 형성하는 단계; 반도체 기판의 상부 전면에 게이트산화막을 형성하고, 게이트산화막 상에 다결정실리콘층을 형성하여 게이트구를 매립하는 단계; 희생산화막이 노출될 때까지 화학기계적 연마하는 단계; 희생산화막과, 다결정실리콘층의 측벽 상에 형성된 게이트산화막, 질화막 및 추가산화막을 제거하는 단계; 다결정실리콘층 외방의 반도체 기판 내에 제2도전형의 불순물 이온을 주입하여 소스 및 드레인 영역을 형성하는 단계를 포함하여 이루어진다.
- <14> 이하, 본 발명에 따른 비휘발성 메모리 장치 제조 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

- <15> 도 2a 내지 2f는 본 발명에 따른 비휘발성 메모리 장치 제조 방법을 도시한 단면도이다.
- <16> 먼저, 도 2a에 도시한 바와 같이, 실리콘웨이퍼(11) 상에 희생산화막(12)을 형성한 후, 희생산화막(12)의 소정영역을 선택적으로 식각하는 제1차 사진식각공정을 수행하고, 식각된 부분을 통해 실리콘웨이퍼(11)를 노출시킨다.
- <17> 이 때 희생산화막(12)을 선택적으로 식각하는 부분에는 이후 SONOS 소자가 형성될 것이므로 이를 고려하여 SONOS 소자에 알맞은 크기의 폭으로 식각하며, 마찬가지로 희생산화막(12)의 증착 두께 역시 SONOS 소자에 알맞은 크기의 두께로 정한다.
- <18> 이어서, 노출된 실리콘웨이퍼(11) 내로 문턱전압 조절을 위한 제1도전형의 불순물 이온 주입을 수행하여 제1반도체 영역(13)을 형성한다.
- <19> 다음, 도 2b에 도시된 바와 같이, 노출된 실리콘웨이퍼(11)를 포함하여 희생산화막(12)의 상부 전면에 추가산화막(14) 및 질화막(15)을 적층하여 ON층을 형성한다.
- <20> 이어서, 질화막(15) 상에 감광막을 도포하고 노광 및 현상하여 게이트 형성을 위한 감광막 패턴(16)을 형성한다.
- <21> 다음, 도 2c에 도시된 바와 같이, 감광막 패턴(16)을 마스크로 하여 노출된 질화막(15), 추가산화막(14) 및 희생산화막(12)을 식각하는 제2차 사진식각공정을 수행하고, 식각된 부분을 통해 실리콘웨이퍼(11)를 노출시킨다.
- <22> 이어서, 실리콘웨이퍼(11)의 상부 전면에 게이트산화막(17)을 형성하고, 그 위에 다결정 실리콘층(18)을 두껍게 증착한다.

- <23> 이 때 다결정실리콘층(18)은 제2차 사진식각공정을 통해 식각된 부분을 완전히 매립하며, 이렇게 매립된 다결정실리콘층(18)은 이후 게이트로 작용할 것이다. 따라서 게이트로 작용할 다결정실리콘층을 매립에 의한 방법으로, 즉 다마신(damascene) 공정으로 형성한 것이다.
- <24> 다음, 도 2d에 도시된 바와 같이, 희생산화막(12)이 노출될 때까지 화학기계적 연마하여 상면을 평탄화시킨다. 이 때 질화막(15)을 연마종료층으로 사용하여 질화막(15)이 노출되는 시점에 식각을 종료한 후 소정 시간 과식각하여 희생산화막(12)을 노출시킨다.
- <25> 다음, 도 2e에 도시된 바와 같이, 희생산화막(12)과 다결정실리콘층(18)의 측벽에 형성된 게이트산화막(17), 질화막(15), 및 추가산화막(14)을 습식식각하여 제거한다.
- <26> 다음, 도 2f에 도시된 바와 같이, 실리콘웨이퍼(11)의 상부전면에 보호막(19)을 형성한 후, 다결정실리콘층(18)을 마스크로 하여 실리콘웨이퍼(11) 내에 제1반도체 영역(13)에 주입된 불순물 이온과 반대 도전형을 가지는 불순물 이온을 저농도로 주입하여 엘디디영역을 형성한다.
- <27> 이어서, 다결정실리콘층(18), 게이트산화막(17), 질화막(15), 및 추가산화막(14)의 측벽에 위치하는 보호막(19) 상에 사이드월(20)을 형성한 후, 사이드월(20) 및 다결정실리콘층(18)을 마스크로 하여 실리콘웨이퍼(11) 내에 엘디디영역에 주입된 불순물 이온과 동일 도전형을 가지는 불순물 이온을 고농도로 주입하여 소스 및 드레인 영역(21)을 형성함으로써 SONOS 구조의 비휘발성 메모리 장치의 제조를 완료한다.
- <28> 상술한 바와 같이, 본 발명에 따른 방법에서는 2회의 사진식각공정만으로 SONOS 구조의 비휘발성 메모리 장치를 제조할 수 있다.

【발명의 효과】

<29> 상술한 바와 같이, 본 발명에서는 다마신 공정을 이용하여 게이트를 형성하고, 따라서 단 2회의 사진식각공정만을 수행하여 SONOS 구조의 비휘발성 메모리 장치를 제조하기 때문에, 공정이 단순화되고 제조에 소요되는 비용과 시간을 줄일 수 있는 효과가 있다.



【특허청구범위】

【청구항 1】

반도체 기판 상에 희생산화막을 형성하고 상기 희생산화막을 선택적으로 식각하여 소정 폭의 반도체 기판을 노출시키는 단계;

상기 노출된 반도체 기판 내로 제1도전형의 불순물 이온을 주입하여 제1반도체 영역을 형성하는 단계;

상기 반도체 기판의 상부 전면에 추가산화막 및 질화막을 차례로 형성하는 단계;

상기 질화막, 추가산화막, 및 희생산화막을 선택적으로 식각하여 소정폭의 반도체 기판을 노출시키는 게이트구를 형성하는 단계;

상기 반도체 기판의 상부 전면에 게이트산화막을 형성하고, 상기 게이트산화막 상에 다결정실리콘층을 형성하여 상기 게이트구를 매립하는 단계;

상기 희생산화막이 노출될 때까지 화학기계적 연마하는 단계;

상기 희생산화막과, 상기 다결정실리콘층의 측벽 상에 형성된 게이트산화막, 질화막 및 추가산화막을 제거하는 단계;

상기 다결정실리콘층 외방의 반도체 기판 내에 제2도전형의 불순물 이온을 주입하여 소스 및 드레인 영역을 형성하는 단계

를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 희생산화막이 노출될 때까지 화학기계적 연마하는 단계에서는, 상기 질화막을 연마 종료층으로 사용하여 상기 질화막이 노출되는 시점에 식각을 종료한 후 소정 시간 과식각하여 희생산화막을 노출시키는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 희생산화막과, 상기 다결정실리콘층의 측벽 상에 형성된 게이트산화막, 질화막 및 추가산화막을 제거하는 단계에서는 습식식각으로 제거하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 4】

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서,

상기 소스 및 드레인 영역을 형성하는 단계에서는, 상기 다결정실리콘층을 마스크로 하여 상기 반도체 기판 내에 제2도전형의 불순물 이온을 저농도로 주입하여 엘디디영역을 형성하고, 상기 다결정실리콘층의 측벽에 사이드월을 형성한 후, 상기 사이드월 및 다결정실리콘층을 마스크로 하여 상기 반도체 기판 내에 제2도전형의 불순물 이온을 고농도로 주입하여 소스 및 드레인 영역을 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

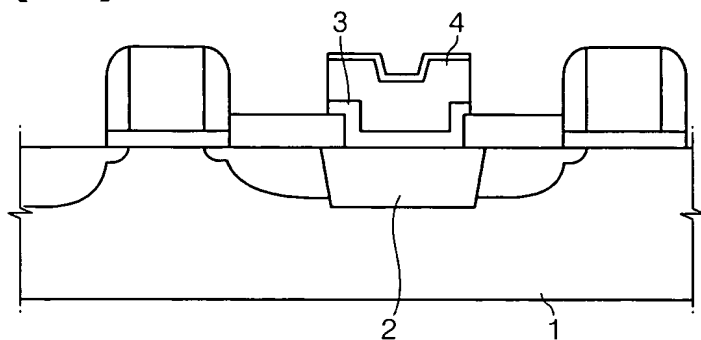
【청구항 5】

제 4 항에 있어서,

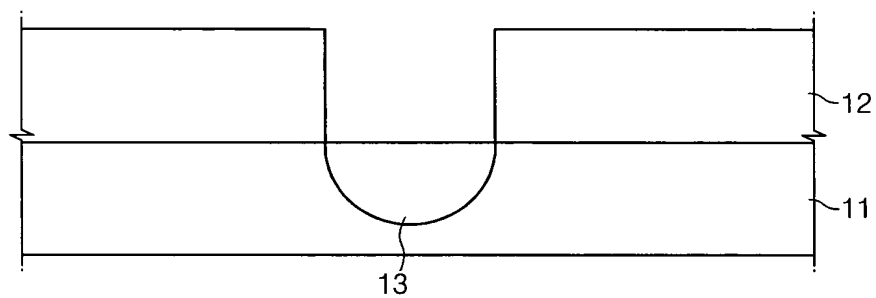
상기 엘디디영역을 형성하기 전에, 상기 반도체 기판의 상부 전면에 보호막을 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【도면】

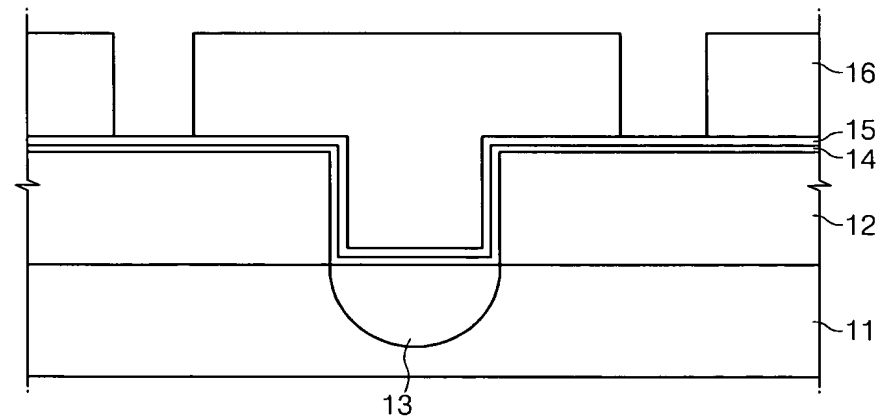
【도 1】



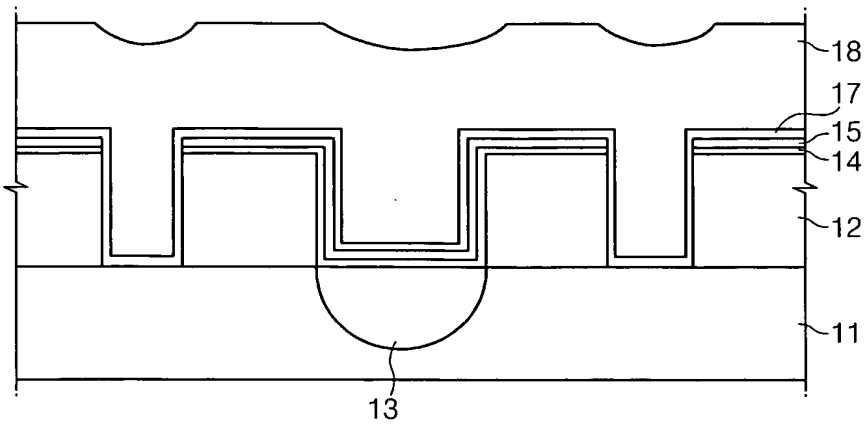
【도 2a】



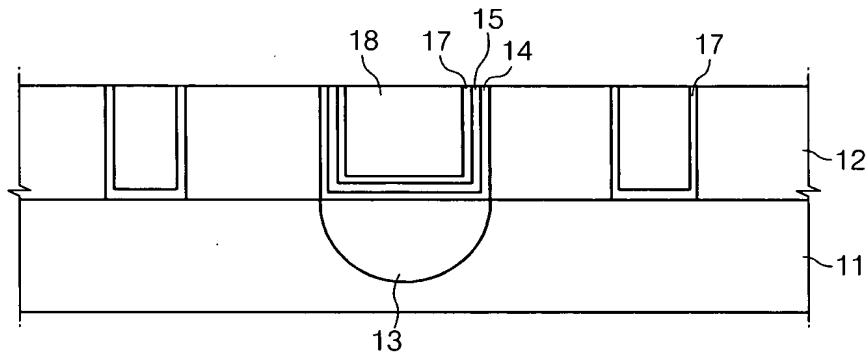
【도 2b】



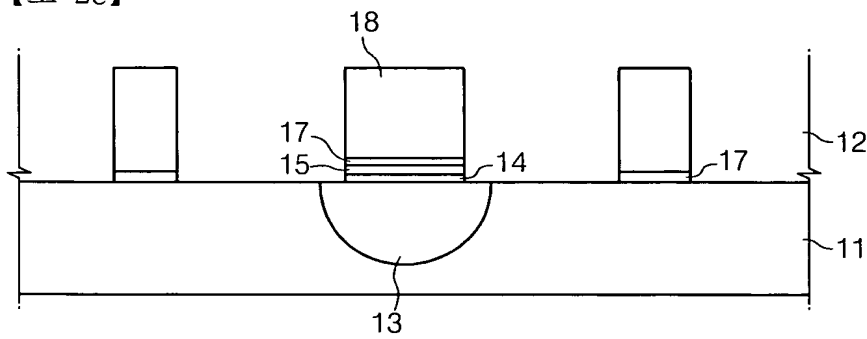
【도 2c】



【도 2d】



【도 2e】



【도 2f】

